

gustav / August 27, 2010 11:02AM

[\[IC 設計\] 成大推出全球耗能最少的IC晶片](#)

[IC 設計] 成大推出全球耗能最少的IC晶片 ( [英文版](#) )

《成大即時新聞》( 2010/08/26 ) 國立成功大學設計節能IC，屢有突破，成大電機系張順志副教授所領導的博士班學生研究團隊，創新三項資料轉換器積體電路 ( Integrated Circuit, IC ) 設計技術，分別創下出全世界最低能量消耗的IC晶片的紀錄，相較於傳統設計方式可節省達80%的能量。研究成果發表於有IC領域「奧斯卡」之稱的國際固態電路會議 ( IEEE International Solid-State Circuits Conference, ISSCC )，以及Symposium VLSI Circuits, DAC等頂尖研討會議。

在眾多不同架構的資料轉換器中，張順志副教授的研究團隊，針對目前具有較低功率消耗和低面積優勢的「逐漸趨近式類比至數位轉換器」，提出了多個新的電路設計技術，進行架構與電路上改良，不但大幅提升操作速度與精確度，甚至能夠降低功率消耗。例如團隊設計之「電容切換機制」比傳統方式節省約80%的能量，可提升電子產品操作與待機的時間。

除了研發技術，研究團隊也透過實際的晶片下線和量測驗證，證實所提出之電路設計技術可以有效提升電路的操作速度以及降低每次轉換所消耗的能量。所提出的電路技巧也都實際經過晶片的量測驗證，量測的效能相當的突出。已先後獲得美國與中華民國專利，隨時可以進行製程生產。

張順志副教授研究團隊針對IC電路設計提出的三項改進技術，分別是利用單調式的電容切換機制 ( Monotonic Capacitor Switching Procedure )、二進制比例的錯誤補償機制 ( Binary-Scaled Error Compensation )、利用可變視窗功能的切換機制 ( Switching Procedure with Variable Window Function )，利用三項技術分別達到提升晶片操作的精確度、速度、降低功率消耗等功能。不僅如此，三項技術皆創下全世界相同規格最低能量消耗的紀錄，並且分別發表在積體電路領域具備指標性地位的國際會議。其中，二進制比例的錯誤補償機制的科研成果，登上號稱IC領域「奧斯卡」的國際固態電路會議 ( IEEE International Solid-State Circuits Conference, ISSCC )，為全球先進固態電路領域研發趨勢的重要指標，更被IC領域視為技術發表的最高殿堂，研討會的內容往往是半導體產業的發展方向與趨勢，能夠發表於該頂尖國際會議，備受產業界矚目。

深入資訊：

[成大即時新聞 2010/08/26](#)

---