

apophasis / March 30, 2011 10:17AM

[\[IC設計\] 強化IC開發競爭力 國研院推智慧電子研發平台](#)

[IC設計] 強化IC開發競爭力 國研院推智慧電子研發平台 ( [英文版](#) )

《中國時報》( 2011/03/30 )、《中央社》、《中央廣播電台》、& 《國研院新聞》( 2011/03/29 ) 為了協助廠商加速開發醫療、車用和3C電子產品，並節省成本，國家實驗研究院開發完成了「MorPACK智慧電子系統研發平台」。國研院29日指出，這個藉由模組化和應用堆積木概念的平台，約可替每個電子IC產品開發案節省3到6個月的開發時程，以及新台幣150萬元的成本，讓台灣IC產業的開發更具競爭力。

國研院指出，IC產業是台灣的重要產業，不僅IC設計業、DRAM產業市場佔有率居全球第二；晶圓代工業、IC封裝業、IC測試佔有率更是全球第一，去年總產值已達新台幣1兆7千多億元。同時，隨著人口高齡化、地球暖化和生活智慧化等發展趨勢，促使醫療電子、綠能電子、車用電子、以及通訊、電腦、消費電子等3C應用產品蘊含無限商機，被視為台灣IC產業未來發展的新動能。

有鑑於此，國研院晶片系統設計中心運用共用與重覆使用的堆積木概念，掌握晶粒級模組化、三維模組堆疊等關鍵技術，開發完成「MorPACK智慧電子系統研發平台」。國研院表示，這個平台具有時程快與成本低等優勢，相較於現有的研發平台，平均每個開發案可縮短3到6個月的開發時程，節省約150萬元的開發成本。

深入訊息：

[中國時報 2011/03/30](#)

[中央社 2011/03/29](#)

[中央廣播電台 2011/03/29](#)

[國研院新聞 2011/03/29](#)

---

[National Science Council International Cooperation Sci-Tech Newsbrief](#)

---